EXP-EPM3128/3256

使用说明书

北京达盛科技有限公司

第一版：2008-12-15, Edited By Fsj

地址：北京市海淀区长春桥路 5 号新起点大厦 2-1501
邮编：100089
电话：010-82564899
Web：http://www.techshine.com/

目 录

目 录 2
第一章 硬件资料介绍 3
1、 适配器板说明 3
2、 适配器板资源介绍 4
3、 P1—P4 接口与 CPLD 芯片管脚的对应关系 9
第二章 适配器板测试 15
1、配件准备： 15
2、测试仪器准备： 15
3、软件准备： 15
4、测试步骤： 15
5、测试程序： 15

第一章　硬件资料介绍

1、　适配器板说明

EXP-EPM3128/3256 适配器板是以 Altera 公司的 EPM3128ATC144 或 EPM3256ATC144 为核心器件，配以 10MHz 时钟。为方便下载程序而提供的立插 JTAG 接口。跳线 J1~J8 实现数据线 D8~D15G 与 PWM2、PWM3、ARDY、/AWE、/SDCAS、/SDRAS、/SDWE、CLKMEM 接口的切换。总线接口部分 P1、P2、P3、P4 实现 CPLD 用户 IO 口的连接。电源模块 TPS78633 为 CPLD 芯片提供+3.3V 电源。指示灯+3.3V 为电源指示。电源可以通过总线或 POWER 接口两种方式提供+5V（不可同时提供，否则会由于两个电源电压值的不同可能造成元器件或电源的损坏），通过低压差稳压源（LDO） TPS78633 稳压至+3.3V。

图 1 是其结构框图：

Figure 1. MAX 3000A Device Block Diagram

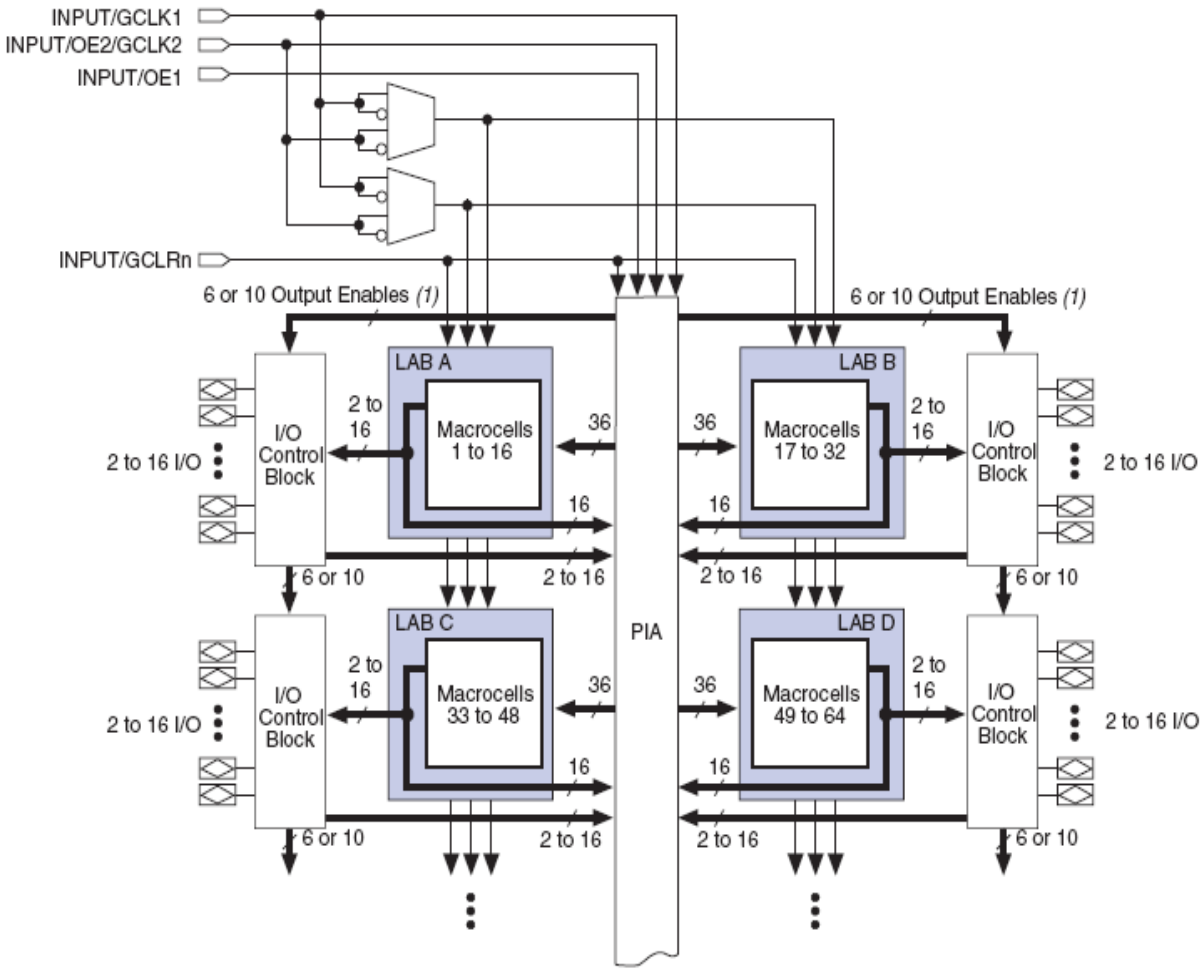
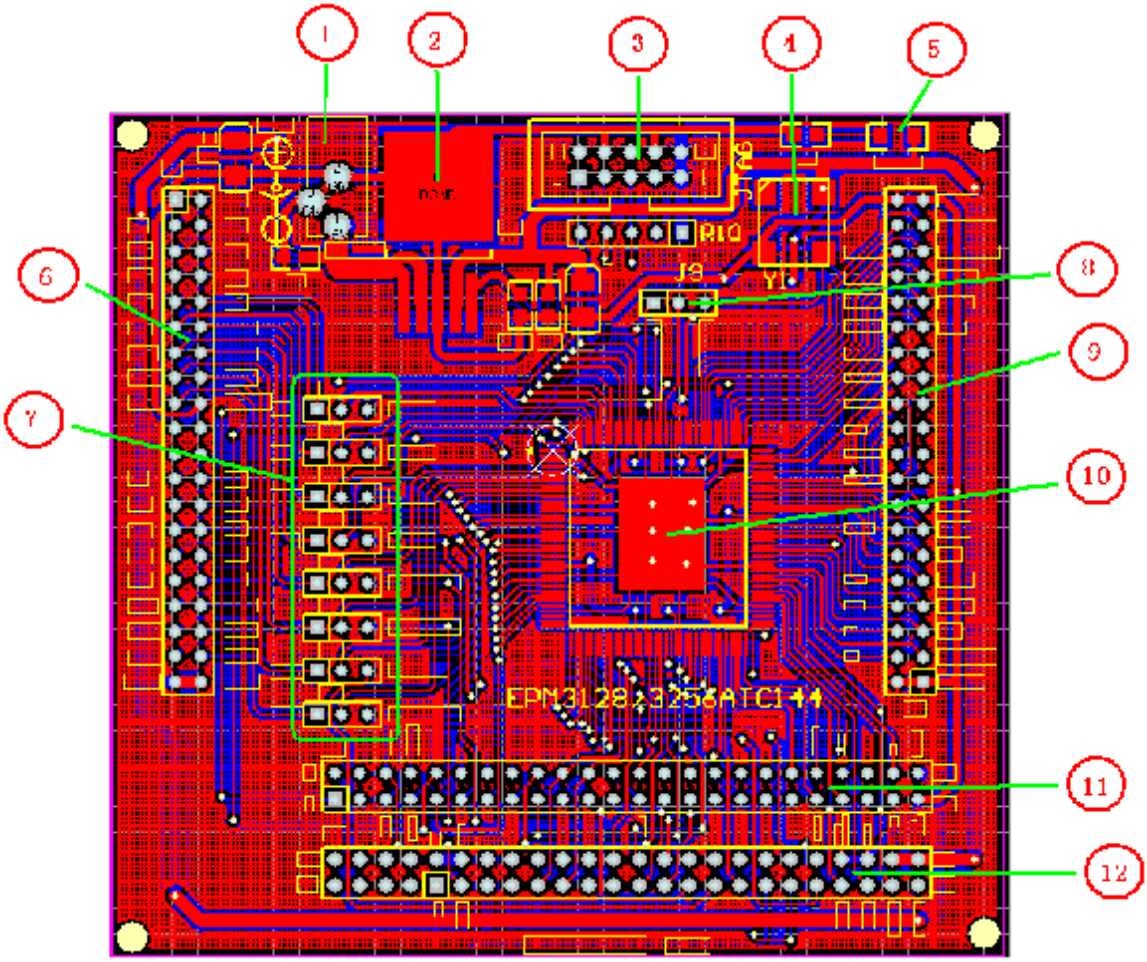


Table 1. MAX 3000A Device Features

Feature	EPM3032A	EPM3064A	EPM3128A	EPM3256A	EPM3512A
Usable gates	600	1,250	2,500	5,000	10,000
Macrocells	32	64	128	256	512
Logic array blocks	2	4	8	16	32
Maximum user I/O pins	34	66	98	161	208
t_{PD} (ns)	4.5	4.5	5.0	7.5	7.5
t_{SU} (ns)	2.9	2.8	3.3	5.2	5.6
t_{CO1} (ns)	3.0	3.1	3.4	4.8	4.7
f_{CNT} (MHz)	227.3	222.2	192.3	126.6	116.3

2、 适配器板资源介绍



如上图： ① +5V电源输入接口 （内正外负）

② 低压差稳压源（LDO）TPS78633，输出+3.3V

③ JTAG下载口

④ 10MHz有源晶振

⑤ 3.3V电源指示灯

⑥ P1接口

⑦ CPLD 用户IO口复用跳线端子

⑧ CPLD 全局时钟 GCLK1输入时钟选择跳线

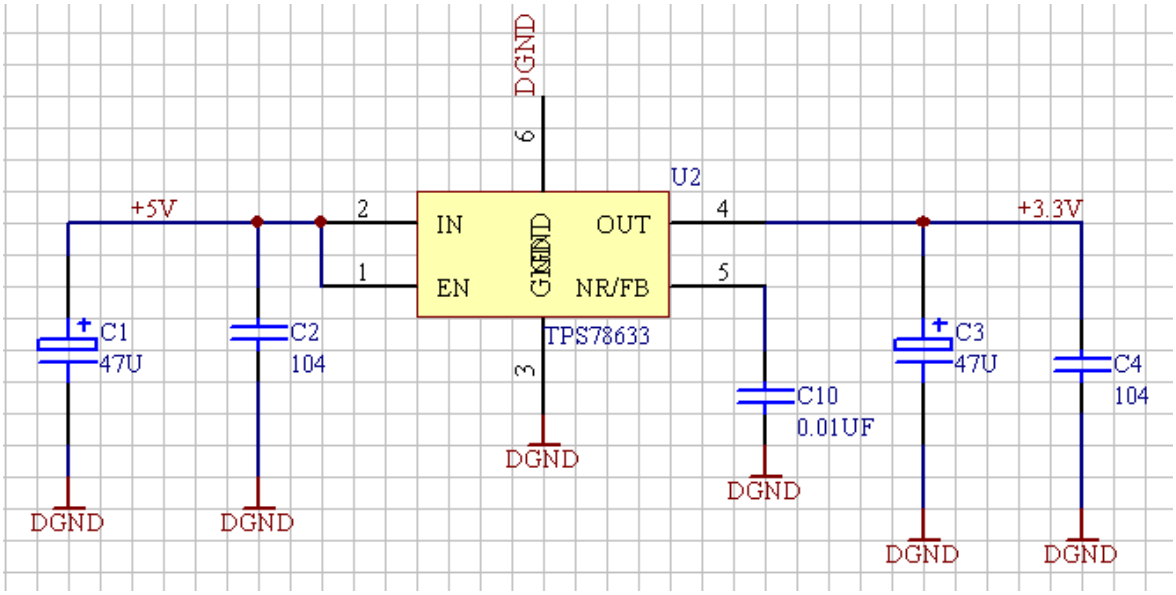
⑧ P2接口

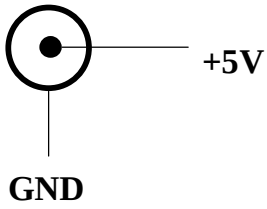
⑩ CPLD主芯片

⑪ P4接口

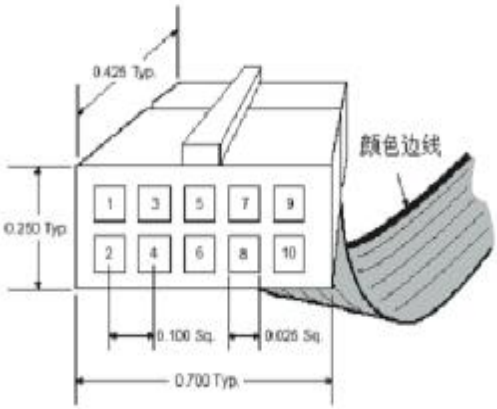
⑫ P3接口

5V 电源输入接口





- CPLD 的 JTAG 口定义如下：



管脚	含义
1	TCK
3	TMS
5	TDI
7	TDO
4、8	GND
9、10	VCC (5V)

图 5 CPLD 的 JTAG 接口

- J9 跳线说明：

J9	功能说明
1—2	CPLD 的全局时钟 GCLK1 由 P4 的第 25 脚输入
2—3	CPLD 的全局时钟 GCLKl 输入 10MHz

- J1—J8 跳线说明：

跳线编号	跳线引脚号	管脚功能说明
J1	1	P1 接口的第 10 脚
	2	CPLD 芯片的第 140 脚
	3	P4 接口的第 10 脚

跳线编号	跳线引脚号	管脚功能说明
J2	1	P1 接口的第 11 脚
	2	CPLD 芯片的第 141 脚
	3	P4 接口的第 9 脚

跳线编号	跳线引脚号	管脚功能说明
J3	1	P1 接口的第 12 脚
	2	CPLD 芯片的第 142 脚
	3	P3 接口的第 39 脚

跳线编号	跳线引脚号	管脚功能说明
J4	1	P1 接口的第 13 脚
	2	CPLD 芯片的第 143 脚
	3	P3 接口的第 31 脚

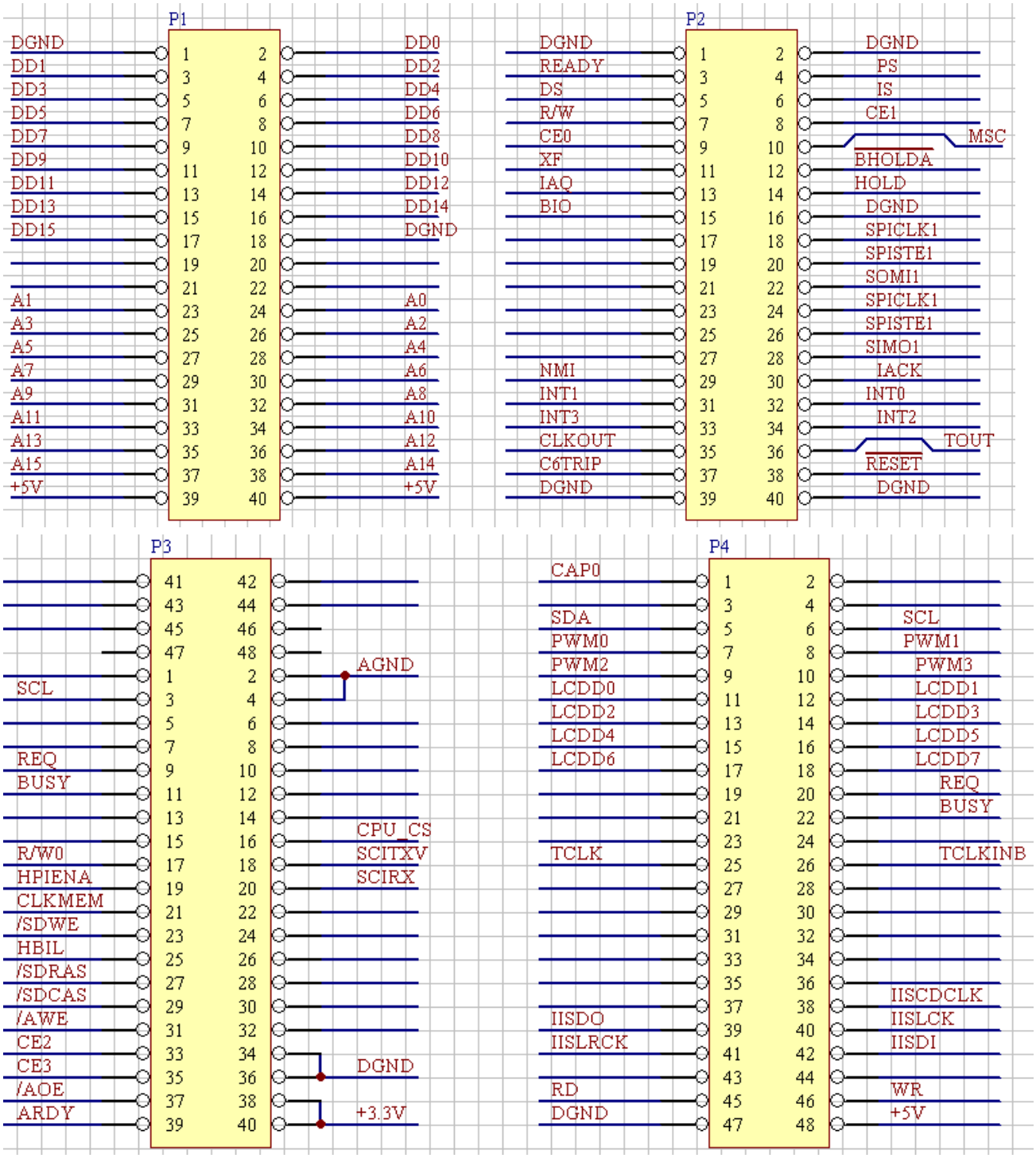
跳线编号	跳线引脚号	管脚功能说明
J5	1	P1 接口的第 14 脚
	2	CPLD 芯片的第 5 脚
	3	P3 接口的第 29 脚

跳线编号	跳线引脚号	管脚功能说明
J6	1	P1 接口的第 15 脚
	2	CPLD 芯片的第 6 脚
	3	P3 接口的第 27 脚

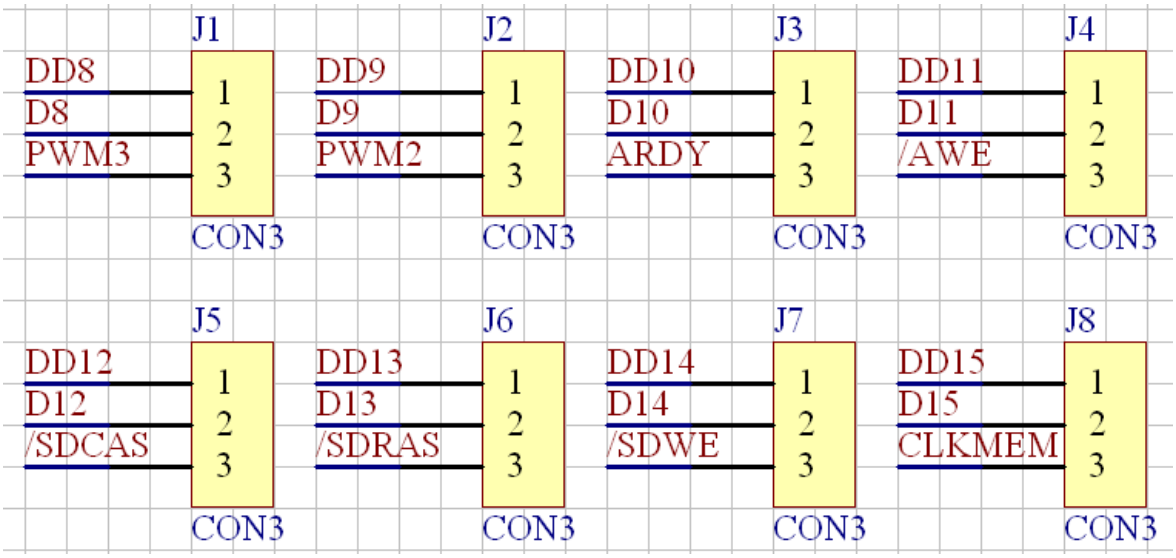
跳线编号	跳线引脚号	管脚功能说明
J7	1	P1 接口的第 16 脚
	2	CPLD 芯片的第 7 脚
	3	P3 接口的第 23 脚

跳线编号	跳线引脚号	管脚功能说明
J8	1	P1 接口的第 17 脚
	2	CPLD 芯片的第 8 脚
	3	P3 接口的第 21 脚

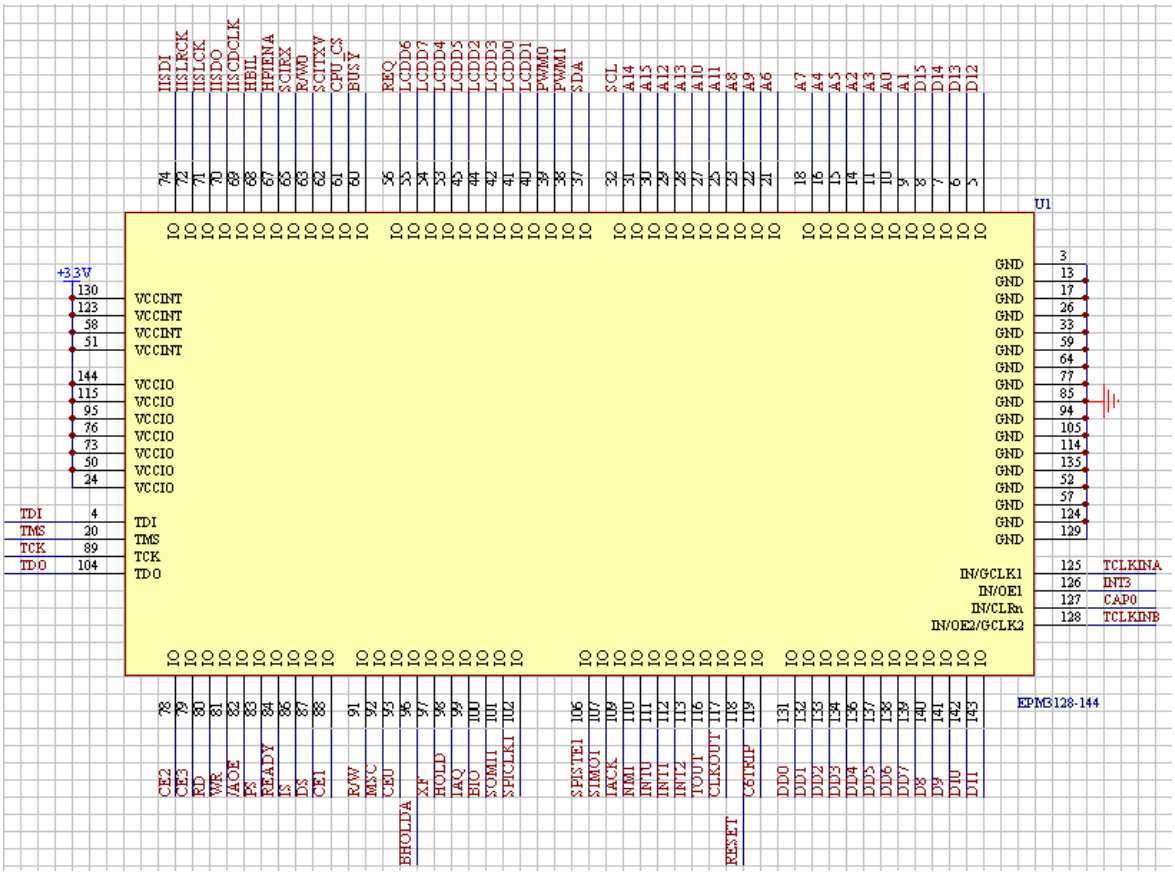
- EXP 总线 P1～P4 管脚定义如下：



- J1—J8 管脚定义：



- CPLD 主芯片管脚定义：



3、 P1—P4 接口与 CPLD 芯片管脚的对应关系

P1 接口管脚与 CPLD 管脚的对应关系：

P1 端口管脚号	CPLD 管脚号	功能定义
1	------	DGND
2	131	D0
3	132	D1
4	133	D2
5	134	D3
6	136	D4
7	137	D5
8	138	D6
9	139	D7
10	140（J1 跳线）	D8
11	141（J2 跳线）	D9
12	142（J3 跳线）	D10
13	143（J4 跳线）	D11
14	5 （J5 跳线）	D12
15	6 （J6 跳线）	D13
16	7 （J7 跳线）	D14
17	8 （J8 跳线）	D15
18	------	DGND
19	------	NC
20	------	NC
21	------	NC
22	------	NC
23	9	A1
24	10	A0
25	11	A3
26	14	A2
27	15	A5
28	16	A4
29	18	A7
30	21	A6
31	22	A9
32	23	A8
33	25	A11
34	27	A10
35	28	A13
36	29	A12
37	30	A15
38	31	A14
39	------	+5V
40	------	+5V

P2 接口管脚与 CPLD 管脚的对应关系：

P2 端口管脚号	CPLD 管脚号	功能定义
1	------	DGND
2	------	DGND
3	84	READY
4	83	PS
5	87	DS
6	86	IS
7	91	R/W
8	88	CE1
9	93	CE0
10	92	MSC
11	97	XF
12	96	/BHOLDA
13	99	IAQ
14	98	HOLD
15	100	BIO
16	------	DGND
17	------	NC
18	102	SPICLK1
19	------	NC
20	106	SPISTE1
21	------	NC
22	101	SOMI1
23	------	NC
24	102	SPICLK1
25	------	NC
26	106	SPISTE1
27	------	NC
28	107	SIMO1
29	110	NMI
30	109	IACK
31	112	INT1
32	111	INT0
33	126	INT3
34	113	INT2
35	117	CLKOUT
36	116	TOUT
37	119	C6TRIP
38	118	/RESET
39	------	DGND
40	------	DGND

P3 接口管脚与 CPLD 管脚的对应关系：

P3 端口管脚号	CPLD 管脚号	功能定义
41	------	NC
42	------	NC
43	------	NC
44	------	NC
45	------	NC
46	------	NC
47	------	NC
48	------	NC
1	------	NC
2	------	AGND
3	32	SCL
4	------	AGND
5	------	NC
6	------	NC
7	------	NC
8	------	NC
9	56	REQ
10	------	NC
11	60	BUSY
12	------	NC
13	------	NC
14	------	NC
15	------	NC
16	61	CPU_CS
17	63	R/W0
18	62	SCITXV
19	67	HPIENA
20	65	SCIRX
21	8（J8 跳线）	CLKMEM
22	------	NC
23	7（J7 跳线）	/SDWE
24	------	NC
25	68	HBIL
26	------	NC
27	6（J6 跳线）	/SDRAS
28	------	NC
29	5（J5 跳线）	/SDCAS
30	------	NC
31	143（J4 跳线）	/AWE
32	------	NC

33	78	CE2
34	------	DGND
35	79	CE3
36	------	DNGD
37	82	/AOE
38	------	+3.3V
39	142（J3 跳线）	ARDY
40	------	+3.3V

P4 接口管脚与 CPLD 管脚的对应关系：

P4 端口管脚号	**CPLD 管脚号**	**功能定义**
1	127	CAP0
2	------	NC
3	------	NC
4	------	NC
5	37	SDA
6	32	SCL
7	39	PWM0
8	38	PWM1
9	141（J2 跳线）	PWM2
10	140（J1 跳线）	PWM3
11	41	LCDD0
12	40	LCDD1
13	44	LCDD2
14	42	LCDD3
15	53	LCDD4
16	45	LCDD5
17	55	LCDD6
18	54	LCDD7
19	------	NC
20	56	REQ
21	------	NC
22	60	BUSY
23	------	NC
24	------	NC
25	125（J9 跳线）	TCLK
26	128	TCLKINB
27	------	NC
28	------	NC
29	------	NC
30	------	NC
31	------	NC

32	------	NC
33	------	NC
34	------	NC
35	------	NC
36	------	NC
37	------	NC
38	69	IISCDCLK
39	70	IISDO
40	71	IISLCK
41	72	IISLRCK
42	74	IISDI
43	------	NC
44	------	NC
45	80	RD
46	81	WR
47	------	DGND
48	------	+5V

第二章　适配器板测试

1、配件准备：

5V/1A 电源（1.1 内空接口，内正外负）　1 个
EXP-EPM3128/3256 适配器板　1 块
Altera USB-Blaster 或 Altera 并口下载线　1 根

2、测试仪器准备：

万用表　1 个
计算机　1 台
示波器（20MHz ）　1 台

3、软件准备：

MaxPLUS-II 或 Quartus II 6.0

4、测试步骤：

1、上电用万用表测量 C 3 两端电压值是否为 3.3V，电源指示灯正常点亮；
2、插跳线帽
J1-J8 的跳线帽都插到 1、2 脚；J9 插到 2、3 脚；
3、将测试程序下载到 CPLD 里，然后用示波器测量 J1—J8 的跳线帽；应该有 4.88KHz 左右的方波输出；

5、测试程序：

```
library ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_unsigned.all;
entity F3128 is port (
                    HZSEL:      in     std_logic;
                    FOUT:       out std_logic_vector(60 downto 0)
                    );
end entity;

 architecture ARC_AND1 of F3128 is
        signal    dou:    std_logic_vector(10 downto 0);
```

```
        begin

        process(dou(10))
        begin
            for i in 0 to 60 loop
                    FOUT(i) <= dou(10);
            end    loop;

    end process;

process(HZSEL)
    begin
    if(HZSEL'event and HZSEL='1')then
            if(dou="11111111111")then
                dou<="00000000000";
            else
                dou<=dou+1;
            end if;
        end if;
    end process;
end ARC_AND1;
```